



UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
DEPARTAMENTO DE ELETRICIDADE

LABORATÓRIO DE INTRODUÇÃO AOS SISTEMAS DIGITAIS

LUIZA MARIA ROMEIRO CODA
ANNIE FRANCE FRÉRE SLAETS
ADILSON GONZAGA
MARIA STELA VELUDO DE PAIVA

SÃO CARLOS
1990

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
DEPARTAMENTO DE ENGENHARIA DE MATERIAIS

RESUMO

AUTORES: [NOME DO AUTOR]

TÍTULO: [TÍTULO DO TRABALHO]

ASSUNTO: [ASSUNTO DO TRABALHO]

ABSTRACT: [RESUMO EM INGLÊS]

Palavras-chave: [PALAVRAS-CHAVE]

TODOS OS DIREITOS RESERVADOS - Nos termos da Lei que resguarda os Direitos Autorais, é proibida a reprodução total ou parcial deste trabalho, de qualquer forma ou por qualquer meio - eletrônico ou mecânico, inclusive através de processos xerográficos, de fotocópia e de gravação - sem permissão, por escrito, do(s) autor(es).

INDICE

ASSUNTO	PAGINA
Normas e critérios de avaliação.....	01
Tópicos do curso.....	02
Introdução.....	04
Teoria.....	10
Exercícios N ^o 1.....	15
Laboratório N ^o 1.....	16
Exercícios N ^o 2.....	18
Laboratório N ^o 2.....	20
Exercícios N ^o 3.....	21
Laboratório N ^o 3.....	23
Exercícios N ^o 4.....	24
Laboratório N ^o 4.....	26
Exercícios N ^o 5.....	27
Laboratório N ^o 5.....	28
Exercícios N ^o 6.....	29
Laboratório N ^o 6.....	30
Exercícios N ^o 7.....	31
Laboratório N ^o 7.....	32
Exercícios N ^o 8.....	34
Laboratório N ^o 8.....	35
Exercícios N ^o 9.....	39
Laboratório N ^o 9.....	40
Exercícios N ^o 10.....	42
Laboratório N ^o 10.....	43
Exercícios N ^o 11.....	44
Laboratório N ^o 11.....	45



0805039

SYSNO	0805039
PROD	001797
ACERVO EESC	

NORMAS E CRITERIOS DE AVALIAÇÃO

1. Será tolerado um atraso de no máximo 5 minutos após o início da aula. Após esse limite de tempo o aluno não realizará a experiência.
2. Em todas as experiências existe um questionário pré-laboratório o qual deverá ser respondido e entregue ao professor no início de cada aula.
3. O professor circulará durante a aula sua própria lista de presença, a qual deverá ser assinada pelo aluno. Nomes constantes no relatório e que não constam na lista terão consequentemente nota zero.
4. O aluno poderá repor apenas uma experiência perdida, sendo que essa reposição será feita na semana que sucede o término da última experiência e deverá ser feita no horário de aula.
5. Os relatórios devem ser elaborados em grupo no decorrer da experiência e serem entregues no final da aula. Não serão aceitos relatórios após a aula.
6. A elaboração do relatório deve seguir o roteiro de cada experiência.
7. A nota final será obtida da seguinte maneira:

$$MR = \frac{\sum \text{Notas dos relatórios}}{n}$$

$$ME = \frac{\sum \text{Notas dos exercícios}}{m}$$

onde n = número de relatórios

m = número de exercícios

MR = média dos relatórios

ME = média dos exercícios

ML = média de laboratório

MT = média das provas da Teoria

NF = nota final da disciplina

$$ML = (0,7MR + 0,3ME) \quad NF = \left(\frac{ML + MT}{2} \right) K$$

$$\text{se } ML < 5,0 \quad \text{ou} \quad MT < 5,0 \quad K = 0$$

$$\text{se } ML \geq 5,0 \quad \text{ou} \quad MT \geq 5,0 \quad K = 1$$

TÓPICOS DO CURSO

1. Portas lógicas:
Levantamento das características elétricas e das tabelas verdades.
2. Álgebra de Boole:
Verificação dos teoremas da álgebra de Boole e de De Morgan.
3. Mapa de Karnaugh:
Verificação da aplicação do mapa de Karnaugh nas simplificações de circuitos.
4. Circuitos combinacionais: circuitos cujas saídas dependem somente dos níveis das entradas atuais não tem relação com a entrada passada do circuito .
 - codificadores e decodificadores
5. Aritmética binária:
 - Montagem de meio somadores e somadores completo utilizando meio somadores.
 - Soma e subtração paralela com decodificação para display de 7 segmentos.
6. Multivibradores:
Montagem de multivibradores utilizando portas lógicas básicas.
 - Tipo RS
 - Tipo RS sincronizado
 - Tipo D sensível à nívelVerificação do funcionamento de multivibradores: Tipo D
 - Biestável sensível a borda
 - Biestável JK mestre escravo
 - Biestável tipo T
7. Aplicação de Multivibradores como:
 - Contadores

- Registradores de deslocamento
- Eliminadores de ruído de chave

8. Montagem de multivibradores astável monoestável e bistável

INTRODUÇÃO

Neste capítulo constarão algumas definições adicionais que serão úteis no decorrer do curso de laboratório. Estas definições virão apenas complementar o curso teórico para facilitar ao aluno compreender os vários elementos utilizados na eletrônica digital agilizando. Até agora, o aluno estava acostumado a trabalhar com sistemas analógicos onde o valor real decorrente ou tensão é importante. No sistema digital eletrônico a tensão em qualquer ponto do circuito tem um valor ou outro representando um ou outro dos dois níveis lógicos, nível lógico 1 (um) ou nível lógico 0 (zero).

O nível 1 representa uma faixa de tensão entre um valor mínimo e um máximo, e o nível 0 representa uma faixa de tensão próxima do zero (ver figura abaixo)

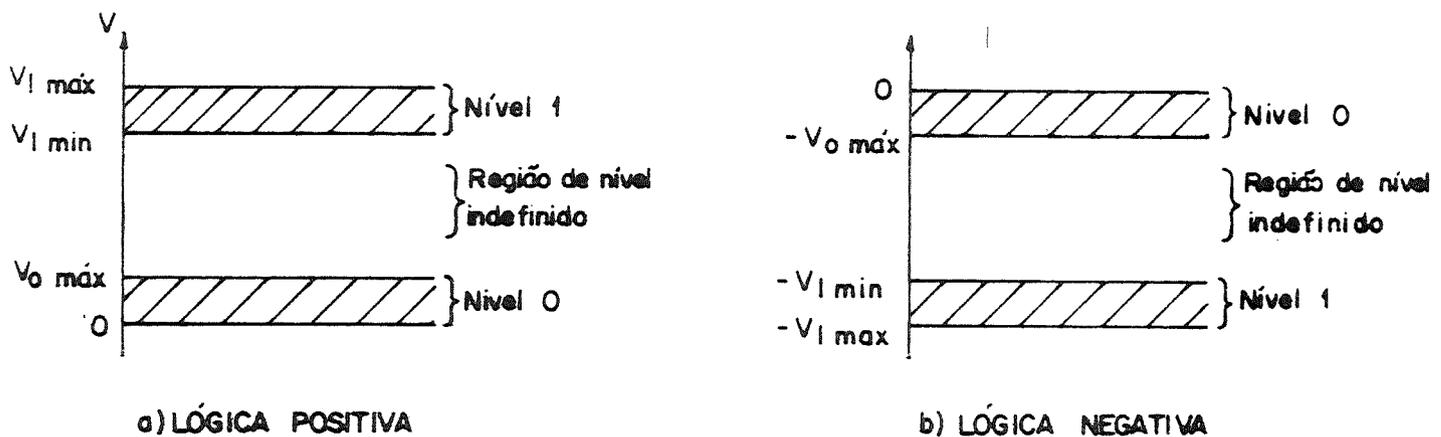


FIGURA. 1.

A faixa em que varia o nível 0 ou nível 1 mostrado na figura 1 depende da família em que o circuito integrado (CI) pertence. O que é então família do CI e o que é CI?

CIRCUITO INTEGRADO (CI)

É um dispositivo semicondutor onde muitos transistores e diodos são fabricados, isto é, integrados sobre a mesma pastilha de silício, que pode conter também resistores e interligações necessárias para fabricar uma porta lógica completa.

CONFIGURAÇÃO DO CI:

Externamente o CI apresenta a configuração mostrada na figura 2a onde tem-se o encapsulamento com diversos pinos para permitir as conexões. O número de pinos varia de acordo com o CI. O pino 1 geralmente vem marcado com um círculo e/ou ranhura. Na parte superior tem-se inscrições com letras e números as quais identificam o CI (explicadas mais para frente).

A figura 2b mostra internamente como estariam ligados cada pino. No caso do exemplo são quatro portas NAND que são simbolizadas como no desenho (símbolos explicados mais adiante).

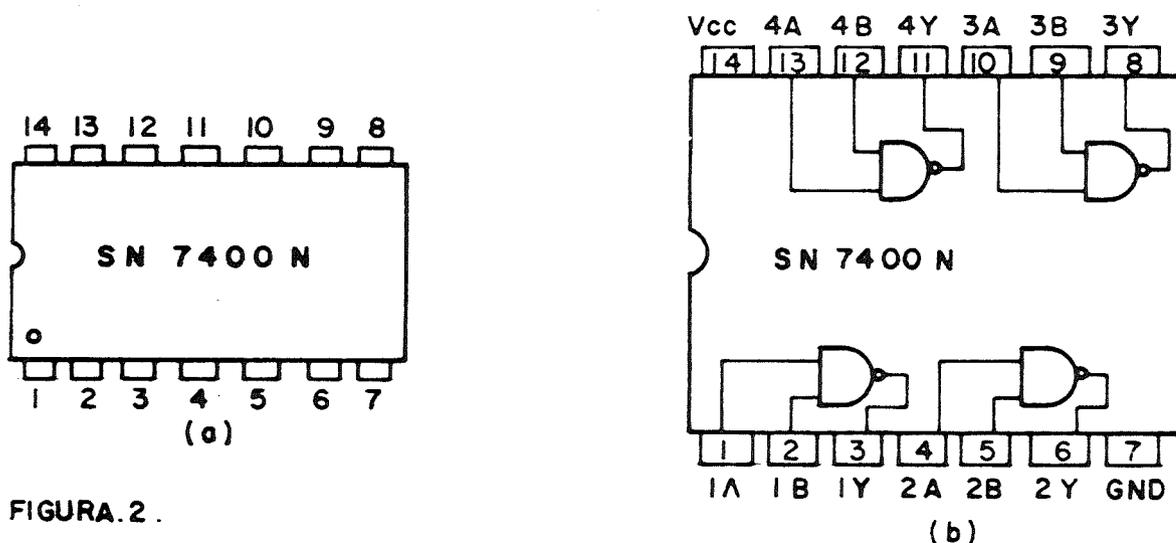


FIGURA.2.

Para cada CI são requeridas ligações terra e de alimentação, para o exemploda figura 2b são os pinos 7 e 14, respectivamente.

Em um sistema digital diversos blocos como esse mostrado na figura 2 são conectados um na saída do outro. Esses CIs, possuem impedância de saída, ao serem conectados outros CIs à saída deste ocorrerá diminuição na impedância de carga do bloco acarretando em corrente maior alterando as especificações de tensão de saída. Para ter-se uma medida de quantos blocos podem ser conectados na saída ou entrada de outro são dadas as seguintes especificações em cada CI:

Fan-in: é o número total de entradas do CI

Fan-out: é o número que expressa qual a quantidade máxima de blocos da mesma família que poderá ser conectado à saída deste.

CASSIFICAÇÃO DO CI:

Os CIs disponíveis comercialmente podem ser classificados devido ao tipo de integração:

SSI - Integração em pequena escala (até doze portas lógicas por CI).

MSI - Integração em média escala (de treze até noventa e nove portas num CI).

LSI - Integração em larga escala (de cem a mil portas).

VLSI - Integração em muitolargaescala(acima de mil portas lógicas).

Famílias do CI:

As famílias dos CIs se distiguem umas das outras pelo tipo de dispositivo semiconductor que incorporam e como os dispositivos semicondutores (e resistores) são interligados para formar a porta lógica.

As famílias de acordo com seu funcionamento são:

RTL (lógica resistor-transistor) utiliza apenas resistores e transistores em seus circuitos. É uma das primeiras famílias transpostas para os CIs. Tempo de atraso 12ns. Fan-out = 5

DTL (lógica diodo-transistor): utiliza diodos e transistores e seus circuitos. Tempo de atraso de 30ns. Fan-out = 7.

DCTL (lógica transistor com acoplamento direto): Imunidade a ruído é baixa. Fan-out = 2.

RCTL (lógica transistor-resistor-capacitor): possui resistores, capacitores e transistores em seus circuitos. É uma diferenciação da família TRL para diminuir o tempo de atraso. Fan-out = 7.

HTL (lógica linear alto) é altamente imune a ruído, é semelhante a família DTL. Fan-out = 10. Tempo de atraso alto.

IIL (lógica de injeção integrada): utilizam transistor bipolar, não requer uso de resistores sendo então apropriada para integração em larga escala.

ECL (lógica acoplada pelo emissor): usa muitos transistores bipolares por porta. Possui alta velocidade de comutação e é usada em integração de

pequena e média escala. Fan-out = 25. Tempo de atraso = 3ns.

TTL (lógica transistor-transistor): é a família mais usada em circuitos de pequena e média integração. Boa imunidade ao ruído. Tempo de atraso de propagação da ordem de 10ns. Fan-out = 10.

MOS: (lógica com transistor semiconductor metal-óxido): utilizam transistores do tipo n ou tipo p e por estes ocuparem pouco espaço são apropriados para integração em média e muito larga escala. A vantagem desta família é que não é necessário o uso de resistores. Tempo de atraso 300ns Fan-out = 20.

CMOS: (lógica com MOS de simetria complementar): é a mais recente família. Permitem larga escala de integração. Tempo de atraso = 60ns. Fan-out > 50

OBSERVAÇÃO: Quando for necessário conectar blocos de uma família a outros de uma outra família é preciso utilizar circuitos de interface entre os blocos de famílias diferentes para torná-los compatíveis.

Exemplo:

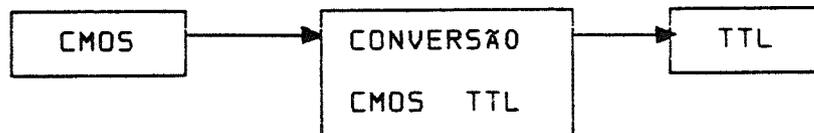


Figura3

Nas nossas aulas trabalharemos com a lógica TTL desenvolvida principalmente pela Texas Instrument Company, mas também produzida por outros fabricantes.

A Texas usa para os integrados TTL a designação SN (semiconductor network). Outros fabricantes usam outras designações como por exemplo; DM (digital monolítico).

Na lógica TTL existem duas séries identificadas por 54 ou 74 de acordo com o tipo de aplicação. A série 54 é usada para aplicações militares operando em intervalos de temperatura de -55a + 125°C. A série 74 é uma versão industrial de custo menor que opera entre 0 a +70°C.

De acordo com diferentes velocidades e potência a família TTL possui cinco séries distintas listadas na tabela 1 a seguir:

Série	Tipo de Transistor e Potência	Atraso de Propagação (ns)	Dissipação de potência (mw)
54LS/74 LS	Schottky, baixa potência (+ usado)	9,5	2
54L/74 L	comum, baixa potência	33	1
54S/74S	Schottky, potência normal	3	19
54H/74 H	comum, alta potência	6	22
54/74	comum, potência normal	10	10

Tabela 1

A família TTL opera em lógica posição cuja variação de tensão está no intervalo de 0 a 5V.

Nível lógico 0 na entrada de uma porta lógica pode variar de 0 a 0,8V e nível lógico 1 pode variar de 2 a 5,0V.

IDENTIFICAÇÃO DO CI:

Cada CI é identificado por um conjunto de letras e números. Este código pode ser dividido em partes distintas, e cada qual nos fornece uma informação diferente sobre o dispositivo.

Exemplo: SN/54/H/102/N

SN: prefixo padrão para Semiconductor Network (utilizado pela Texas).

Pode ocorrer variações como:

RSN: Radiation Hardened circuit

BL: Dispositivo construído Beam Lead.

SNX: Experimental circuit

54: Variação da temperatura

Série 54: -55 a + 125°C (aplicação militar)
tensão de alimentação; 4,5 a 5,5V.

Série 64: -40 a + 85°C

tensão de alimentação: 4,75a 5,25V

Série 74: 0 a + 74^oC (aplicação industrial)

tensão de alimentação: 4,75 a 5,25V

H: indica qual o tipo do dispositivo utilizado na integração

H: transistor de alta potência

L: transistor de baixa potência

S: Schottky

LS: Schottky de baixa potência

Obs.: quando esta letra estiver omitida significa família padrão.

102: Nesse campo podem aparecer dois ou tres números os quais indicam a função do dispositivo.

102 flip-flop JK

N: Tipo de encapsulamento. Existem 11 possibilidades.

TEORIA:

Como já foi dito um CI é constituído de diversos dispositivos que irão formar uma porta lógica. Para compreender a função dessas portas lógicas é necessário introduzir alguns conceitos que são essenciais em lógica digital.

1. VARIÁVEL LÓGICA

A variável lógica só pode assumir um (ou outro) de dois valores possíveis. No sistema binário a variável só pode assumir o algarismo 0 ou 1. O valor que a variável irá assumir é obtido através de afirmações declarativas que com base na lógica um exclui o outro.

Ex: Um semáforo pode estar verde ou vermelho. Se estiver verde prossegue, se estiver vermelho pare.

A é a variável lógica (variável independente)

S é a ação que ocorrerá (variável dependente)

A = V para a afirmação "semáforo está vermelho"

A = F para a negação "semáforo não está vermelho" análogicamente,

S = V para a afirmação "o motorista prossegue"

S = F para a afirmação "o motorista não prossegue"

A tabela 1.1 abaixo com os valores que A e S podem assumir chama-se tabela verdade:

A	S
V	F
F	V

tabela 1.1

Fazendo atribuições diferentes em relação à cor do semáforo ou/e ao comportamento do motorista a tabela 1.1 seria diferente, mas a relação funcional entre eles seria a mesma.

2. FUNÇÕES DE UMA VARIÁVEL LÓGICA

Todas as funções possíveis de uma variável lógica são mostrados nas tabelas 1.2.

A	S
V	F
F	V

(a)

A	S
V	V
F	F

(b)

A	S
V	F
F	F

(c)

A	S
V	V
F	V

(d)

Tabela 1.2.

O número de funções possíveis quando tem-se apenas uma variável e dado por:

- = Número de valores que A pode assumir
- = Número de colunas S diferentes
- = Número de valores que S pode assumir para cada valor de A

Se existem duas variáveis lógicas:

- = Número de colunas diferentes de S

Usaremos agora a notação

A = V como A = 1 (verdadeiro)

A = F como A = 0 (falso)

3. Função "AND" ou "E"

Uma função é definida pela tabela verdade. A função AND é definida pela tabela 3.1, ou seja, S = 1 somente quando A e B são ambos iguais a 1. Esta função é dita multiplicação

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

Tabela 1.3

Para simbolizá-la utilizamos:



e para interpretá-la consideremos A e B como duas chaves em série (figura 1.1) ligadas à uma bateria e à lâmpada S.

A lâmpada S só se acenderá ($S = 1$) quando a chave A e B estiver fechada ($A = 1$ e $B = 1$).

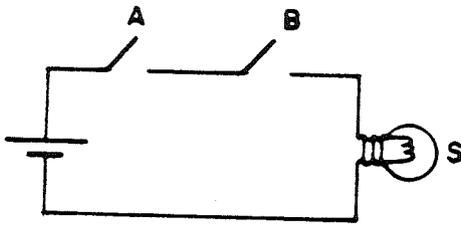


Figura 1.1.

4. Função "OR" ou "OU"

A função OR é definida pela tabela 4.1e é expressa por:

$$S = A \text{ ou } B$$

ou seja, $S = 1$ se $A = 1$ ou $B = 1$. Esta função é dita função soma:

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Tabela 1.4

Para simbolizá-la utilizamos:



ou $S = A + B$

e para interpretá-la consideremos A e B como duas chaves paralelas (figura 1.2) ligadas à uma bateria e à uma lâmpada S.

A lâmpada S acenderá ($S = 1$) se A ou B estiverem fechadas ($A = 1$ ou $B = 1$)

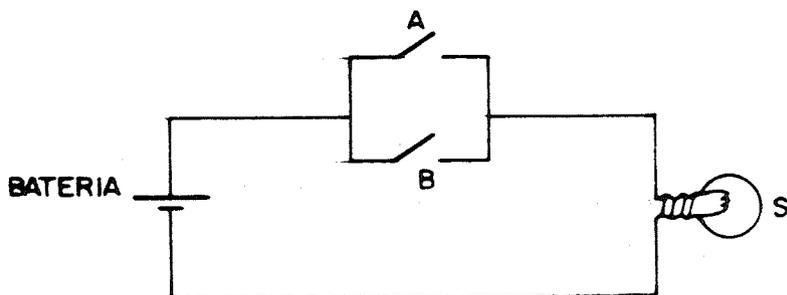
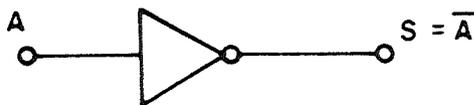


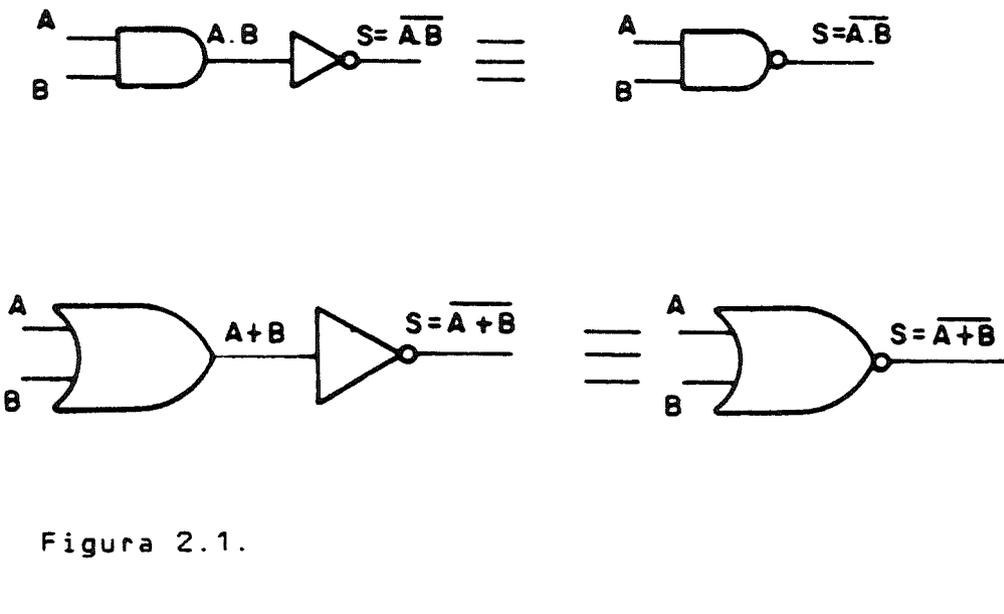
Figura 1.2.

5. Função Inversora

Um inversor é uma posta lógica que tem uma única entrada e uma única saída que é o complemento lógico da entrada. Quando a entrada A é verdadeira ($A = 1$) a saída será falsa ($S = 0$) e vice-versa. É simbolizada por:



Usado em conjunto com outras portas:



A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Figura 2.1.

As funções AND, NAND, OR, NOR, inversora como outros que serão vistas, quando implementadas eletronicamente são ditas portas lógicas e são elas que vão formar o sistema digital.

EXERCÍCIO Nº 1 (deve ser entregue antes da experiência número 1)

1. Qual o valor em volts da tensão de alimentação de um circuito integrado TTL?
2. O que quer dizer TTL?
3. Consulte o manual "The TTL Data Book" e dê a disposição interna dos circuitos 7400, 7402, 7408, 7410, 7420. Explique as seguintes características elétricas:
 V_{cc} , I_{oH} , I_{oL} , I_{iH} , I_{iL} , V_{iL} , V_{iH} , V_{oH} , V_{oL} - explicar cada um deles
4. O que vem a ser lógica positiva e lógica negativa?
5. O que é FAN-OUT e FAN-IN?
6. Consulte o manual TTL da texas para determinar as características seguintes para o 7400:

$$\begin{array}{ll} I_{iH} = & I_{oL} = \\ I_{iL} = & I_{oH} = \end{array}$$

A partir deste valores determine o (fan-out)

7. REFERÊNCIAS: [2], [3], [4], [8]

LABORATORIO N 1.

Introdução aos circuitos lógicos básicos:

1. Lista de material:

CI's: SN 7400, 7410

Painel, cabos de ligações, voltímetro

2. Parte Prática:

2.1 Levantamento das características dos CI's:

SN 7400, 7410

Preencher para cada um dos CI's os seguintes itens:

Nome do CI:

Constituição interna do CI:

Função lógica do CI:

Símbolo:

Meça as características elétricas de cada CI, preenchendo a tabela abaixo e desenhe o esquema de ligação.

Compare os resultados com o valor teórico.

Características	Teóricas (manual TTL)	Medidas
Vcc		
VoH		
VoL		
IiH		
IiL		

Tabela 1.1

Levantar a tabela verdade de cada CI com medidas em volts. Comparar

com a tabela verdade teórica. Desenhar o esquema de ligação.

2.2 Projetar dois circuitos inversores a partir de uma porta NÃO E.

2.3 Projetar dois circuitos inversores a partir de uma porta NÃO OU.

EXERCÍCIO N^o 2 (entregar no dia do laboratório número 2)

1. Simplificar utilizando as leis e teoremas da Álgebra de Boole as seguintes funções lógicas:

1.1 $A.\bar{B} + \bar{A}.\bar{B}.C$

1.2 $A.B + A.B.\bar{C}.D. + A.B.C.\bar{D}.$

1.3 $\bar{A}.BC + A.(\bar{A}.C + B.\bar{C})$

1.4. $\bar{D}(B + \bar{C}.D) + \bar{B} \bar{D}$

1.5 $\bar{A}.B.\bar{C}.D + A.B \bar{C}.D$

2. Provar a seguinte igualdade:

$$A + B + C = (A + B).(\bar{A} + B) + (C + \bar{D}).(C + D) + (A + E)(A + \bar{E})$$

3. Simplificar e desenhar o circuito equivalente à função:

$$B.D + (\bar{B} + \bar{D}).C$$

4. Um sinal de controle C é injetado em um circuito de entrada A e B tal que quando $C = B = A$ a saída assume o valor digital 0 (zero), assumindo valor 1 (um) para quaisquer outras combinações

4.1. Construir a tabela verdade

4.2. Obter a função Booleana do sistema

4.3. Simplificar a função através da Álgebra de Boole

4.4. Desenhar o esquema lógico correspondente utilizando portas NAND e NOR.

5. Dado o esquema da figura 1, escrever:

5.1. A função Booleana

5.2. A tabela verdade

5.3 Simplificar a função utilizando a Álgebra de Boole

5.4. Esquema simplificado

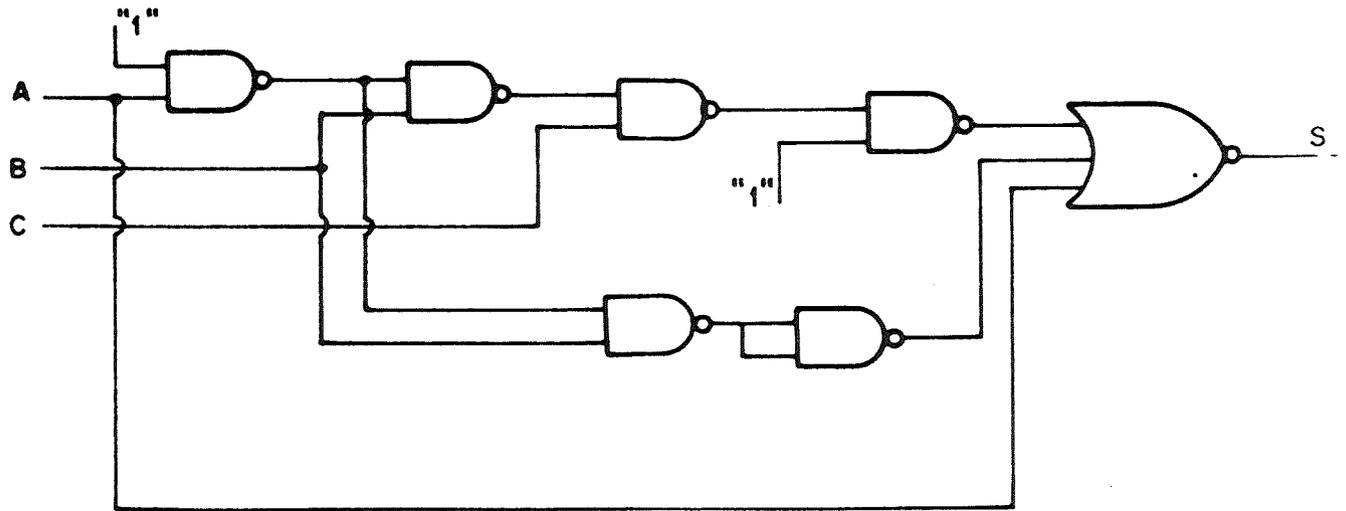


Figura 1.

6. REFERÊNCIAS: [4], [11]

LABORATORIO Nº2: LEIS E TEOREMAS DA ALGEBRA DE BOOLE

1. Lista de material

CIs SN 7400, 7402, 7408, 7410, 7420
Painel e cabos de ligação
voltímetro

2. Parte prática

2.1. Enunciar uma das leis da Álgebra de Boole e com os circuitos oferecidos verificá-la em função das tensões de saída.

2.2. Sendo A e B dois sinais de entrada e C um 3º sinal de chaveamento que executa a seguinte instrução:

Quando $C = 0$ a saída é igual à entrada B tal como na figura 2.1

Transforme este circuito de chaveamento em um diagrama de blocos de

circuitos lógicos e dê esquema de ligações.

Verifique a tabela verdade.

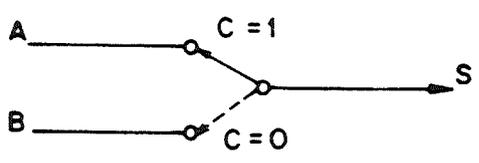


Figura 2.1.

2.3. Implemente uma porta NÃO E de 3 entradas utilizando um CI SN 7400.

Teste sua tabela verdade e dê esquemas de ligações.

EXERCÍCIO Nº 3 (entregar no dia do laboratório nº3)

- 1) Analise o esquema, escreva a função lógica e o Mapa de Karnaugh. Simplifique a função e dê o diagrama lógico correspondente:

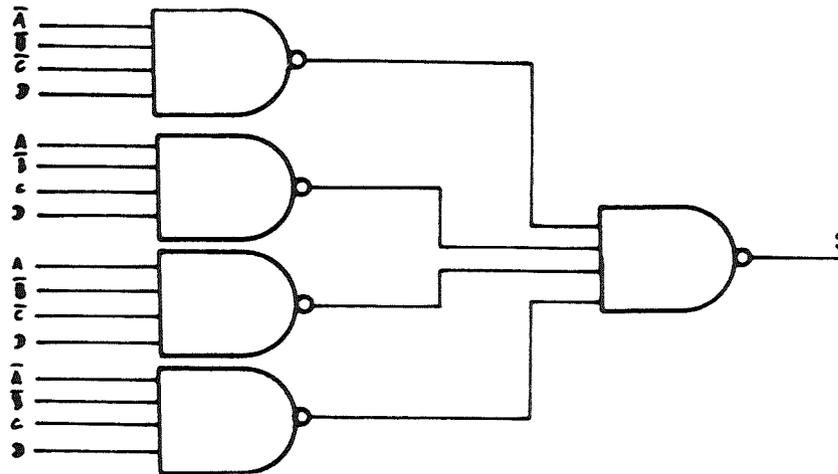


Figura 1

2) Um fazendeiro tem um cão, um bode e algumas cabeças de repolho. Possui também um celeiro no norte e outro no sul da fazenda. Ele tem que trabalhar nos dois celeiros. No entanto, se o cão é deixado com o bode, quando o fazendeiro se ausenta, este ataca e morde o bode. Se o bode é deixado com os repolhos ele os come. Para evitar qualquer desastre, o fazendeiro pede que se construa um dispositivo portátil tendo 4 chaves representando o fazendeiro (F), o cão (c), o bode (B) e os repolhos (R). Quando cada chave está na posição "0" (conectada à terra) refere-se ao celeiro no norte. A saída de dispositivo comanda uma lâmpada (LED) que acende quando pode ocorrer um desastre, pois o fazendeiro só leva um a cada vez que muda de celeiro. Como poderemos construir o dispositivo?

Sugestão adotar:

F = fazendeiro no celeiro sul

B = Bode no celeiro sul

\bar{F} = Fazendeiro no celeiro norte

\bar{B} = Bode no celeiro norte

C = Cão no celeiro sul
 \bar{C} = Cão no celeiro norte

R = Repolho no celeiro sul
 \bar{R} = Repolho no celeiro norte

Monte a tabela verdade e simplifique por mapa de Karnaugh.

LABORATORIO Nº 3 - ANÁLISE DE CIRCUITOS COMBINACIONAIS
MAPA DE KARNAUGH

1. Lista de material:

CI's: 7400 , 7402, 7408, 7410, 7420

Painel, cabos de ligação

voltímetro

2. Parte prática

2.1. Somente com portas NAND implemente a função:

$$S = \bar{A} \bar{B} C + \bar{A} B \bar{D} + A B \bar{C} + \bar{A} B D$$

- Simplifique-o por mapa de Karnaugh
- Monte o circuito simplificado dando o número da pinagem e nomes dos CI's.
- Compare as duas tabelas verdade em função das tensões de saída.

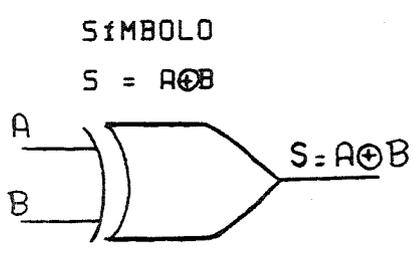
2.2. Dado o mapa de Karnaugh abaixo simplifique-o e monte a função simplificada

		AB			
		00	01	10	11
CD	00	1	1	1	1
	01	1	1	1	1
	10	1	1	0	1
	11	0	0	0	0

EXERCÍCIO N^o 4 (Entregar no dia do laboratório n^o 4)

1.a) Determinar as formas canônica conjuntiva (produto de soma) e a disjuntiva (soma dos produtos), para a função:

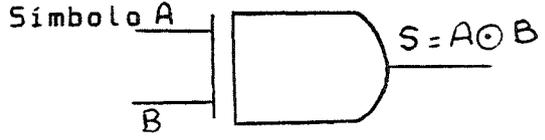
$X = A \oplus B + C$, dado: TABELA DA FUNÇÃO OU-EXCLUSIVO



AB	S
0 0	0
0 1	1
1 0	1
1 1	0

b) Verificar que $\overline{A \oplus B} = A \oplus \overline{B} = \overline{A \oplus B}$, utilizando as leis de álgebra de Boole

c) Verificar que $A \oplus B = \overline{A \odot B}$, dado: $f = A \odot B$ função coincidência
 $A \odot B = \overline{A} \overline{B} + AB$



2) Implemente a função S abaixo com portas OU Exclusivo de 2 entradas.

$S = A \oplus B \oplus C \oplus D \oplus E \oplus F$

3) Procure em uma das referências como se faz a transmissão e a detecção do Bit de Paridade. Faça o esquema em termos de portas OU-EXCLUSIVO.

4) O diodo emissor de luz (LED) emite luz visível quando polarizado diretamente. Nos esquemas de polarização de LED'S abaixo pode-se:

- a) Determinar o valor de R para o esquema da fig.1, considerando que a queda de tensão no "LED", quando este conduz é de $V = 1,6V$, para uma corrente de 10mA.
- b) Determinar o nível lógico que, aplicado na entrada A da fig.2, leva o LED à condução; e determinar então o valor de R, considerando que deve circular pelo LED uma corrente de pelo menos 10mA para que ele acenda.
- c) Na fig. 2 poderia ser usado um LED cuja corrente de condução fosse de 20mA? Justifique

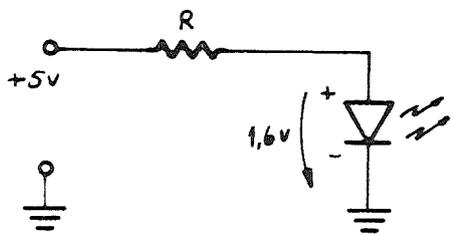


Figura 1

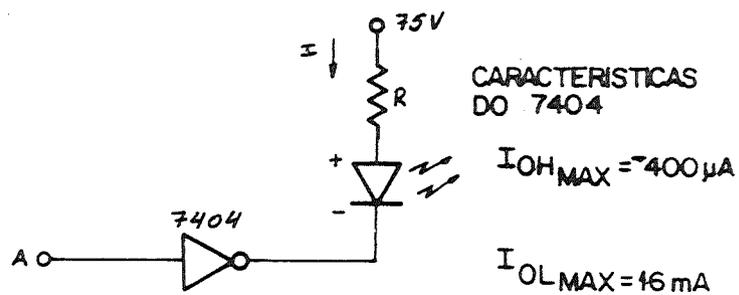


Figura 2

LABORATÓRIO N^o 4

CIRCUITOS COMBINACIONAIS: CODIFICADOR E DECODIFICADOR

CONVERSÃO DE CÓDIGOS BINÁRIOS, CODIFICADORES E DECODIFICADORES.

1. Lista de Material:

CI's SN 7400, 7402, 7408, 7410, 7420, 7486.

painel, cabos de ligação, voltímetro.

2. Parte prática

Construir um conversor de código BCD(8421)-Gray com o mínimo de portas possíveis e com 4 variáveis de entrada. Faça o mapa de Karnaugh para minimização. Monte o circuito e dê seu esquema com a pinagem e nomes dos CI's.

Teste o circuito para os números 3, 5, 7, 9 dando as saídas Gray em valor de tensão.

EXERCICIO N^o5

1) Implementar um circuito somador completo para palavras de 4 bits, utilizando meio somadores.

2) procure no manual TTL (Xerox utilizado em aula), a descrição do integrado SN 7483 e explicar o seu funcionamento detalhadamente. Explique como utilizá-lo para realizar a soma de 2 números de 4 bits.

3) Explique detalhadamente o funcionamento dos "displays" TIL 302, TIL 303 e TIL 308 (Manual de "Optoelectronics". Texas ou xerox utilizado em aula). e a diferença entre eles. Explique como determinar a corrente que passa por um segmento do mesmo, e a queda de tensão no segmento.

4) Explique detalhadamente como ligar o CI SN 7446 à um TIL 302 ou 303. Verifique nas referências o significado do termo "coletor em aberto". Explique qual o objetivo do CI SN 7446 apresentar as saídas com "coletor em aberto"?

Explique os controles do SN 7446 (veja tabela verdade).

5. Referências: [3], [4], [7], [8], [9].

LABORATORIO Nº 5

ARITMÉTICA BINÁRIA: CIRCUITO COMBINACIONAL - MEIO SOMADOR, SOMADOR COMPLETO DECODIFICADOR.

1) Lista de Materiais

- 1.1. CIs: SN 7400, 7402, 7486, 7446, TIL 302 e 303.
- 1.2. Painel
- 1.3. Cabos de ligação
- 1.4. Resistores
- 1.5. Voltímetro

2) Parte prática

2.1 Somador Completo:

Com somente portas NAND implementar um somador para palavras de 2 bits utilizando meio somadores. Dê a pinagem e a tabela verdade (Esse circuito será utilizado no item 2.2., não desmonte-o).

2.2. Decodificação para "Display"

- a) Monte o esquema da figura 5.1. completando com o nome dos sinais de controle do SN 7446, a pinagem, o tipo do display e o valor do resistor.
- b) Ligue os controles de modo conveniente para que a informação presente nas entradas DCBA do 7446 torne-se visível no display.

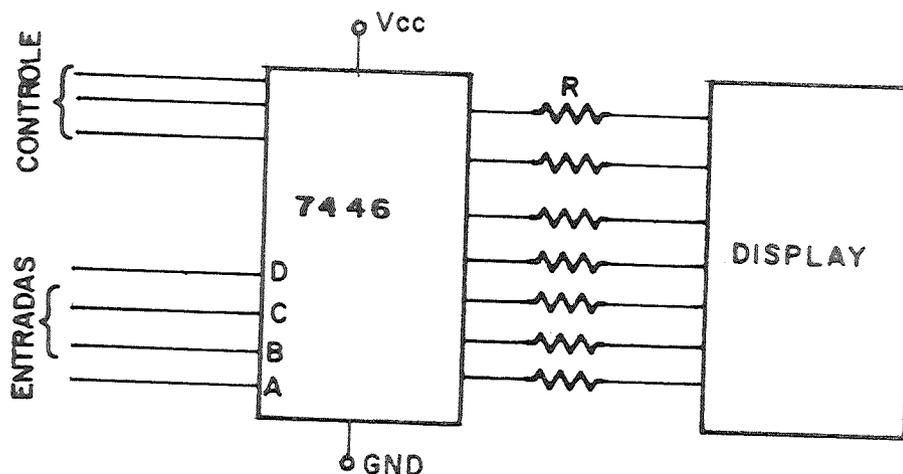


Figura 5.1

EXERCÍCIO N^o 6 (entregar no dia do laboratório n^o 6)

1) projete um circuito que utilizando um somador completo de 4bits (com o SN 7483), realize a soma e a subtração de 2 números A e B de 4 bits cada um (para $A < B$ e $A > B$), através de um sinal de controle C. Explicar detalhadamente o funcionamento do circuito.

C = 1 somador

C = 0 subtrator/ou vice-versa

Verifique a possibilidade de utilização do circuito OU-EXCLUSIVO ou do circuito coincidência.

2) Explique a diferença de soma paralela e serial. Dê o diagrama em blocos de um somador serial, explicando o seu funcionamento.

3) Projete um somador paralelo (com 7483), sabendo-se que as entradas serão dadas no código BCD, com saída em "display" (TIL 308) de até 3 dígitos decimais e com detetor de overflow, isto é, quando a soma ultrapassar a capacidade de display, um led é acionado.

4. Referências: [3], [4], [7], [8].

LABORATORIO N^o 6

SOMA E SUBTRAÇÃO PARALELA COM DECODIFICAÇÃO P/DISPLAY DE 7 SEGMENTOS.

1. Lista de material

CI's SN 7400, 7486, 7483
TIL 308-DISPLAY
Resistores, LEDs
Painel, cabos de ligação
Vôltímetro

2. Parte Prática

2.1. Montar um circuito que realiza a soma e subtração paralela de dois números binários de 4 bits, utilizando o somador integrado SN 7483. (esse circuito será utilizado no item 2.2.).

2.2. Decodificação para "Display"

2.2.1. Montar o esquema da figura 6.1 com o número da pinagem, nomes dos CI's e dos sinais de controle.

2.2.2. Fazer algumas somas e subtrações e observar o display.

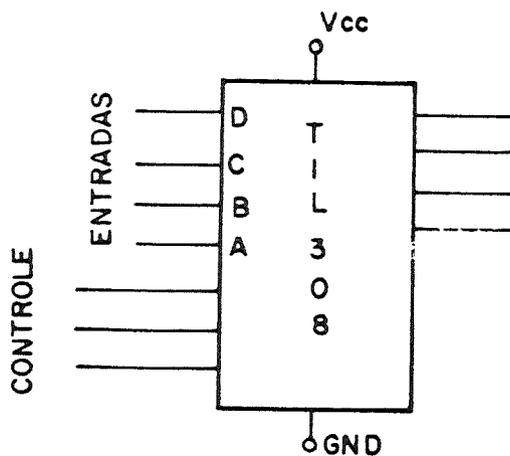


Figura 6.1

EXERCÍCIO N^o 7 (Entregar no dia do laboratório n. 7)

1) Considere o circuito do FF RS sincronizado, ao qual foi aplicado as formas de onda mostrada na fig. 1. Desenhe o sinal gerado nas saídas Q e \bar{Q} .

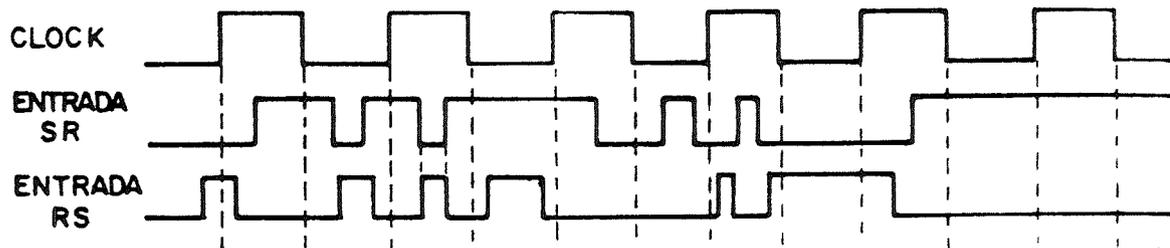


Figura 1.

2) Na figura 1 considere que R é a entrada D de um FF tipo D sensível à nível (alto). Desenhe a forma de onda para as saídas Q e \bar{Q} .

3) Considere na fig. 1 que o FF é do tipo sensível à borda de descida. Desenhe a forma de onda para as saídas Q e \bar{Q} , sabendo-se que a entrada D é idêntica à S.

4. Referência: [4], [11].

LABORATÓRIO Nº 7: ANÁLISE DE CIRCUITOS SEQUENCIAIS
 Multivibradores implementados com Portas Lógicas Básicas
 PARTE I

1. Lista de Material

CI SN 7400, painel, cabos de ligação
 Testador lógico

2. Parte prática

2.1. Montar o multivibrador do tipo RS, destacando o CI utilizado e os pinos das portas.

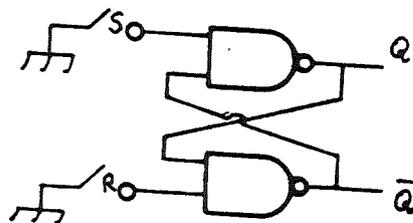


Figura 7.1.

2.1.1. Com as chaves $S = R = 1$ verificar as condições iniciais (Q e \bar{Q}), do flip-flop da figura 7.1.

2.1.2. Montar a Tabela verdade (tabela 7.1) levando em conta as condições iniciais obtidas anteriormente.

ENTRADA		SAÍDA		ESTADOS
S	R	Q	\bar{Q}	
0	0			condição inicial
0	1			Reset
0	0			Latch
1	0			Set
0	0			Latch
1	1			Proibido

Tabela 7.1.

2.1.3. Inverter as condições iniciais e repetir o item 2.1.2.

2.2. Montar o multivibrador biestável RS sincronizado da figura 7.2 indicando o CI utilizado e o número da pinagem.

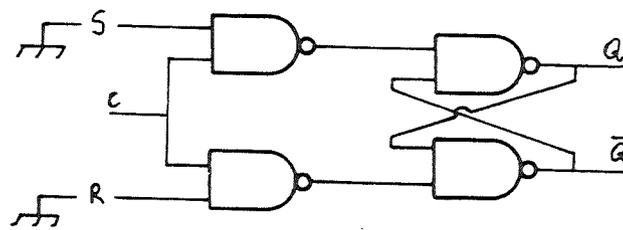


Figura 7.2.

2.2.1. Com o clock em nível lógico 1 ($c = 1$) e as entradas em nível lógico 0 ($S = R = 0$) verificará as condições iniciais (Q e \bar{Q}) do flip-flop da figura 7.2. e montar a tabela verdade (tabela 7.1) para esse multivibrador.

2.2.2. Com o (clock) em nível lógico 0 ($C = 0$) verificar a tabela verdade (tabela 7.1).

2.2.3. Inverter as condições iniciais e repetir os itens 2.2.1 e 2.2.2.

EXERCÍCIO Nº 8 (entregar no dia do laboratório n. 8)

1) Dado o esquema de um multivibrador biestável RS mestre-escravo, como o da fig.1, analisar seu funcionamento. Faça uma comparação com o biestável JK mestre-escravo.

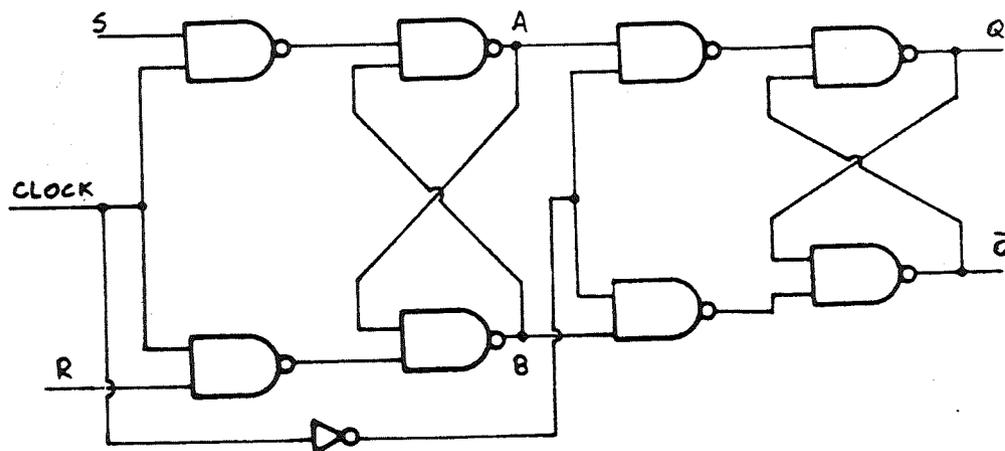


Figura 1

2) Explique o funcionamento e dê a tabela verdade de cada um dos FLIP-FLOPS (multivibrador biestável).

- a) RS
- b) RS GATILHADO (sincronizado)
- c) D sensível a nível
- d) D sensível à borda (Subida ou descida)
- e) T (Ph)

3) Num FF JK mestre-escravo, deseja-se a seguinte sequência produzida na saída Q: 10011101010011. Pede-se desenhar os níveis lógicos que devem ser aplicados nas entradas J e K deste FF para produzir a sequência dada na saída Q.

4. Referências: [3], [10].

ANALISE DE CIRCUITOS SEQUENCIAIS
MULTIVIBRADORES IMPLEMENTADOS COM PORTAS LÓGICAS BASICAS
PARTE II

1. Lista de Material

CIs: SN 7400, 7410
Painel, cabos de ligação
testador lógico

2. Parte Pratica

2.1. Biestável JK mestre-escravo (Master-Slave)

2.1.1. Implemente o circuito da figura 8.1. e forneça os nomes dos CIs empregados e o número da pinagem.

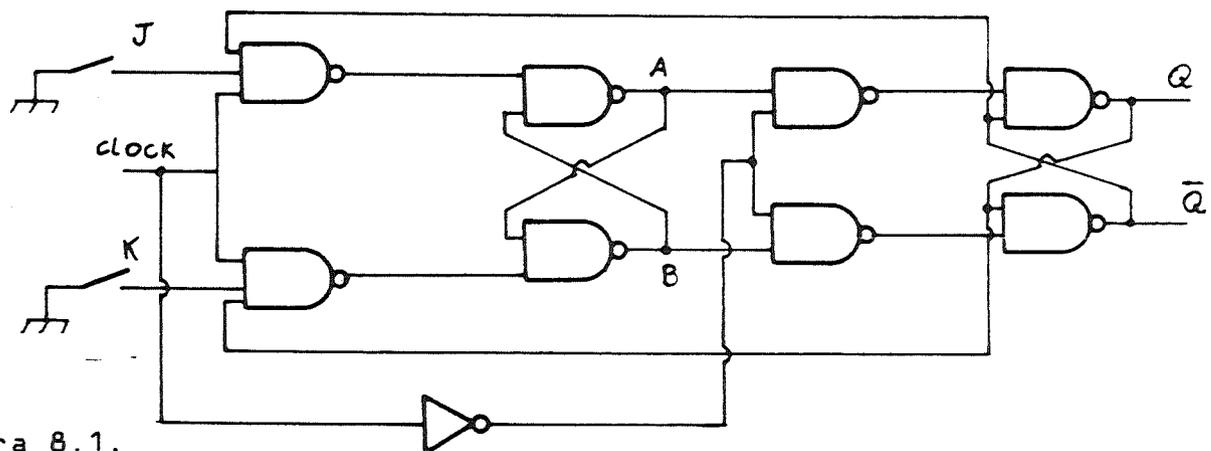


Figura 8.1.

2.1.2. Conecte a entrada de clock numa das chaves do painel. A condição inicial deste FLIP - FLOP é sempre verificada com o clock em nível lógico "0".

2.1.3. Com o clock em "0" determine as condições iniciais do FF. O valor obtido deve ser igual ao valor das condições iniciais, já preenchidas na 1^a linha de uma das tabelas (fig. 8.2 ou 8.3). Complete a tabela.

LINHA	COND. INICIAIS		ENTRADAS		CLOCK = 0		CLOCK = 1				CLOCK = 0			
	Q	\bar{Q}	J	K	A	B	A	B	Q	\bar{Q}	A	B	Q	\bar{Q}
1º	0	1	0	0										
2º			0	1										
3º			1	1										
4º			1	0										

Figura 8.2.

LINHA	COND. INICIAIS		ENTRADAS		CLOCK = 0		CLOCK = 1				CLOCK = 0			
	Q	\bar{Q}	J	K	A	B	A	B	Q	\bar{Q}	A	B	Q	\bar{Q}
1º	1	0	0	0										
2º			0	1										
3º			1	0										
4º			1	1										

Figura 8.3.

2.1.4. Explique o funcionamento do circuito.

Justifique o porque do nome mestre-escravo.

2.2 Utilizando o mesmo esquema do item anterior (figura 8.1) construa um FF/MS tipo T. (as entradas J e K são idênticas!)

2.2.1. Monte o esquema da figura 8.4

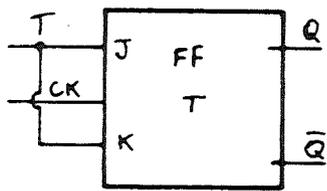


figura 8.4

CONDIÇÕES INICIAIS		ENTRADA	CLOCK	SAÍDA
Q	\bar{Q}	T		Q \bar{Q}
		0		
		1		
		0		
		1		

figura 8.5

2.2.2. Complete a tabela da figura 8.5.

2.2.3. Em relação ao item 2.1. em qual das condições de entrada se enquadra o FF tipo T?

2.2.4. Com a entrada T em nível 1 complete o diagrama de tempo da Fig. 8.6.

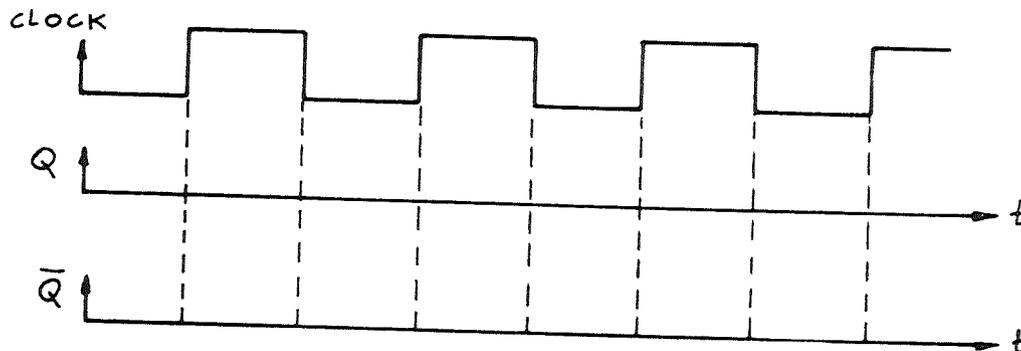


Figura 8.6

2.1.5. Explique o funcionamento do circuito.

2.3. Ainda considerando o esquema do item 2.1. construa em FF tipo D e complete o esquema da fig. 8.7

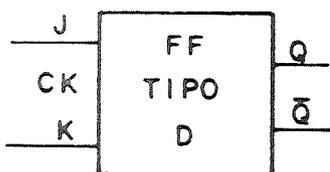


Figura 8.7.

CONDIÇÕES INICIAIS		ENTRADA	CLOCK	SAÍDAS	
Q	\bar{Q}	D		Q	\bar{Q}
		0			
		1			
		0			
		1			
		0			

Figura 8.8.

2.3.1. Complete a tabela da figura 8.8.

2.3.2. Em relação ao item 2.2., em qual das condições de entrada se enquadra o FF tipo D?

2.3.3. Complete o diagrama de tempo da figura 8.9.

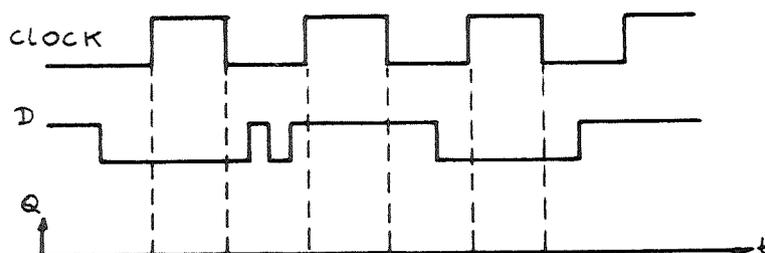


FIGURA 8.9

Figura 8.9

2.3.4. Explique o funcionamento do circuito.

EXERCÍCIO Nº 9 (entregar no dia do laboratório n. 9)

1) O F F R S é frequentemente utilizado como eliminador de ruído de chave. Na fig. 1. a) a chave ao fazer contacto com uma das posições "1 ou 2", gera ruído de chaveamento.

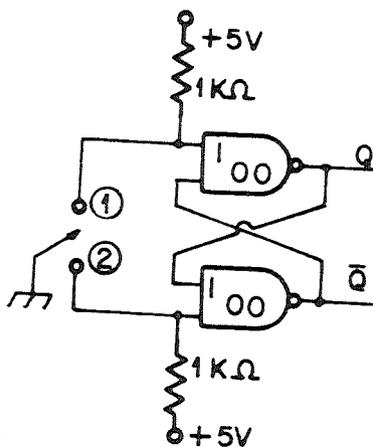


FIGURA 1.a)

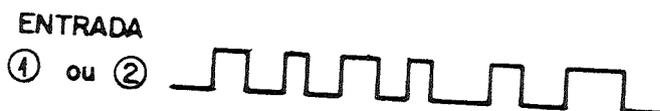


FIGURA 1.b)

- Considere que anteriormente a chave encontrava-se na posição (2). Determine os valores de Q e \bar{Q} .
- Considere agora que a chave foi levada para a posição (1), e devido ao ruído de chaveamento foi gerada nesta entrada, a oscilação mostrada na fig.1b). Desenhe o sinal de saída para Q e \bar{Q} considerando a oscilação.
- Idem ao item b) considerando que a chave foi levada para a posição (2).
- Explique o funcionamento desse eliminador de ruído.

2. Dê o esquema de um contador assíncrono e de um contador síncrono. Mostre a diferença entre eles.

3. Dado o esquema de um contador assíncrono para baixo (down-Counter), Figura 2 projetar um circuito que adicionado a ele, possa, através de um sinal de controle X, fazer com que o contador conte para cima (X=0) ou para baixo (X=1), (UP-DOWN COUNTER).

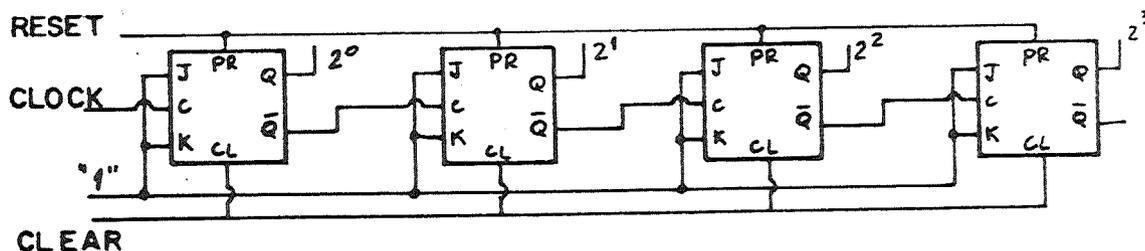


Figura 2

Referências: [3], [4], [5], [11]

LABORATORIO N^o 9

APLICAÇÃO DE MULTIVIBRADORES:

- CONTADORES
- ELIMINADOR DE RUIDO DE CHAVES.

1. Lista de Material

CI SN 7400, SN 7476

TIL 308 DISPLAY

Resistores, painel e cabos de ligação

Testador lógico

2. Parte Prática

- 2.1. Implementar o contador assíncrono para cima "UP-COUNTER" como o da figura 9.1.
Coloque o número da pinagem e explique seu funcionamento.

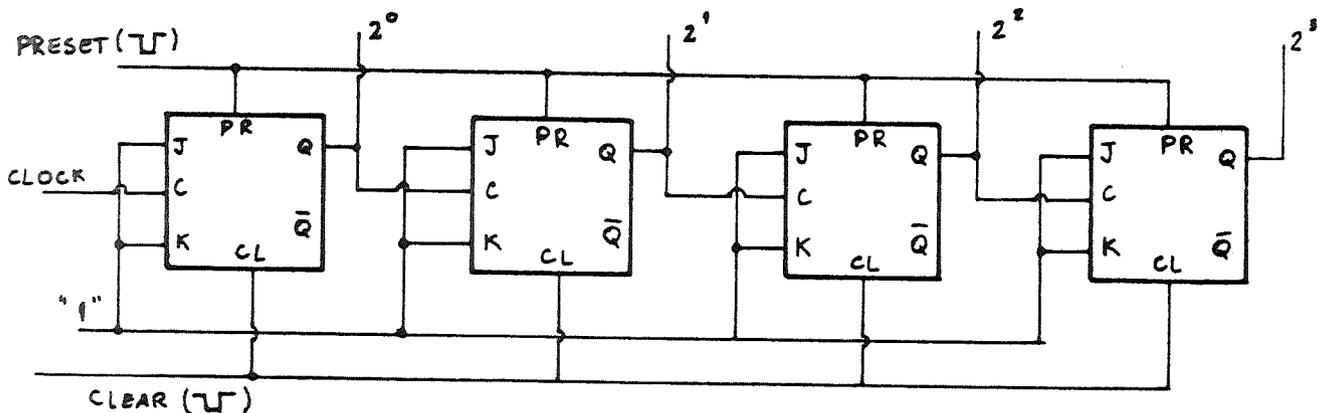


Figura 9.1

2.1.1. Ligue as saídas no display.

2.1.2. Usando um cabo de ligação dê pulsos negativos (toques consecutivos do pino de ligação ao terra) na entrada de clock e observe o display. A contagem é uniforme; ou seja, é sequencial? Por que?

2.1.3. Monte o eliminador de ruído de chave da figura 9.2 e ligue-o à

entrada do clock. Com o cabo de ligação de pulsos negativos alternados entre as entradas R e S, observe o display e conclua.

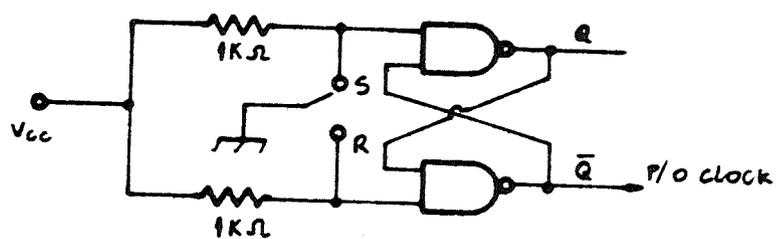


Figura 9.2

EXERCICIO N^o 10 (entregar no dia do laboratório n^o 10)

1. Como ligar o CI SN 7493 para: dividir a frequência de entrada:

1.2) por 10

1.3) por 11

1.4) por 12

1.5) por 13

2. Como ligar o CI 7493 para contar em código Bioquinário? Forneça o esquema.

	QA	QB	QC	QD
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

3. Projetar um contador de pulsos que utiliza 4 display, mas que conte no máximo 5000 pulsos, devendo voltar à zero quando este valor é atingido.

4. Procure no manual TTL o funcionamento dos contadores SN74192 e 74193.

4.1. Explique cada um deles e mostre a diferença entre eles.

4.2 Explique também a diferença entre eles e os contadores 7490 e 7493.

CONTADORES INTEGRADOS

1. Lista de Material

CI's: SN 7490, SN 7493, SN 7400

Osciloscópio

Cabos de ligação, painel.

Testador lógico

2. Parte Prática

2.1. Ligue convenientemente o CI SN 7493 no display.

- Mostre o esquema de ligação
- Com a chave do painel dê pulsos na entrada e verifique a contagem.

2.2. Com auxílio do relógio do painel introduza uma frequência no 7493. Meça com o osciloscópio a frequência das saídas A, B, C, D e do clock. Desenhe suas formas de onda.

2.3. Ligue dois SN 7493 para contar números de 0 a 99

- Mostre o esquema de ligação.
- Com a chave do painel dê pulsos na entrada e verifique a contagem.

2.4. Ligue convenientemente o CI SN 7490 ao display.

- Com a chave do painel dê pulsos na entrada e observe a contagem.
- Explique a diferença entre esse contador e o 7493.

EXERCÍCIO Nº 11

- 1 Comparar o funcionamento do multivibrador integrado SN 74121 com o SN 74122 ou SN 74123 (consultar o "The TTL Data Book")
2. Qual a frequência máxima do clock para os CIs SN 7473 e SN 74142;
- 3 Para um multivibrador defina (desenhe as formas de onda)
 - a) Tempo de set-up (T_s) e Tempo de hold (T_h).
 - b) Tempo de propagação de atraso do nível lógico "1" ao nível lógico "0" (t_{PHL})
 - c) Tempo de propagação de atraso do nível lógico "0" ao nível lógico "1" (T_{PLH}).
 - d) Largura média de pulso (t_w)
- 4 REFERÊNCIAS : [1], [10], [12], [13]

MULTIVIBRADORES INTEGRADOS = MONOESTAVEIS E BISTAVEIS

1. Lista de Material

CI's SN: 74121, 7473

Painel, resistores, capacitores e cabos de ligação

Osciloscópio

2. Parte Prática

2.1. Multivibradores Monoestável

2.1.1. Consulte o manual e determine os valores de R e C a fim de se obter uma largura de pulso T_m de aproximadamente 2ms.

2.1.2. Utilizando o relógio do painel como entrada ($f = 200$ Hz), ligue corretamente o 74121 para se obter disparo na subida do pulso de clock. Faça o esquema de ligação.

2.1.3. Com o auxílio do osciloscópio desenhe as formas de onda de clock e das saídas Q e \bar{Q} para f de clock = 400Hz e 1 KHz; indique o valor de T_m lido.

2.1.4. Ligue o 74121, para se obter disparo na descida do pulso de clock.

2.1.5. Comente os resultados obtidos.

2.3. Multivibrador Biestável:

Com o auxílio do manual, testar a tabela verdade do CI 7473.

Usar como clock a chave do painel.

Explicar cada linha da tabela e os símbolos utilizados.

BIBLIOGRAFIA

- [1] Texas Instruments Inc. "The TTL data Book"
- [2] Millman and Taub "Pulse, Digital and Switching waveforms"
- [3] Millman and Halkias "Integrated Electronics" Mc Graw-Hill.
- [4] Taub, H. "Circuitos Digitais e Microprocessadores" Mc Grau-Hill.
- [5] Zuffo, J.A. "Subsistemas Digitais e Circuitos de Pulsos" Edgard Blucher.
- [6] Taub H. and Schilling, D. "Digital Integrated Electronics" Mc Grau-Hill.
- [7] Taub H. e Schilling, D. "Eletrônica Digital".
- [8] Manual TTL - Texas Instruments.
- [9] Manual da Optoeletronics - Texas Instruments.
- [10] Peatman, J.B. "The Design of Digital Systems". Mc Graw-Hill.
- [11] Idoeta, I.V. & Capuano, F.G. "Elementos de Eletrônica Digital" Ed. érica.
- [12] Texas Instruments "Designing with TTL Integrated Circuits".
- [13] Langdon Jr, G.G. Fregni, E. "Projeto de Computadores Digitais" Edgard Blücher.